

引用格式: 李貌, 贾晨, 栾文焕, 等. 多协议可变位宽 40bits 高速串口发射机[J]. 微电子学与计算机, 2019, 36(9): 16-20. [LI M, JIA C, LUAN W H, et al. A high speed transmitter with 40bits data and variable data-width and supported multi-protocols [J]. Microelectronics & Computer, 2019, 36(9): 16-20.]

多协议可变位宽 40 bits 高速串口发射机

李 貌¹, 贾 晨², 栾文焕¹, 林 鑫¹, 王自强¹, 张 春¹, 王志华¹

(1 清华大学 微电子学研究所, 北京 100084; 2 深圳清华大学研究院, 深圳 518057)

摘 要: 本文提出一种多协议, 可变位宽发射机系统, 最高数据位宽 40 bits, 最高数据速率 10.312 5 Gbps. 整个系统由归一化数据位宽(Normalization of Data Width, NMDW)变换电路, 40:1 合路器(MUX), 时钟分布电路及 3 抽头前馈均衡器(Feed-Forward-Equalizer, FFE)组成, 文章中提出了改进的 40:1 MUX 电路结构. 本文采用 SMIC 40 nm CMOS 工艺, 电源电压 1.1 V. 发射机(Transmitter, TX)整体功耗 34mW@10.3125 Gbps, 信道前差分输出眼图最大幅度大于 800 mV. 同时, 本发射机支持 4 种不同协议, 7 种不同数据速率, 9 种工作状态, 工作温度范围 $-45^{\circ}\text{C} \sim 125^{\circ}\text{C}$.

关键词: 多速率; 可变位宽; 40bits; 5:1MUX; 3-taps FFE; 10.312 5 Gbps

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2019)09-0016-05

A high speed transmitter with 40 bits data and variable data-width and supported multi-protocols

LI Mao¹, JIA Chen², LUAN Wen -huan¹, LIN Xin¹,
WANG Zi -qiang¹, ZHANG Chun¹, Wang Zhi -hua¹

(1 Institute of Microelectronics, Tsinghua University, Beijing 100084, China;

2 Research Institute of Tsinghua University in Shenzhen, Shenzhen 518057, China)

Abstract: This paper propose a system of transmitter(TX) supported multi-protocols and variable data-width, with max input data width of 40bits and data rate of 10.312 5 Gbps. The transmitter consists of Normalization of Data Width(NMDW), 40:1MUXs, distributed clock circuit and 3-taps Feed-Forward-Equalizer(FFE). This paper is proposed an improved 40:1MUXs circuit. and supported in SMIC 40nm CMOS technology, supported by 1.1 V. The power consumption of TX is 34.5mW@10.312 5 Gbps. The differential eye diagram is larger than 800 mV before channel. Meanwhile, TX is supported 4 different protocols, 7 different data-rate, 9 work conditions, the work temperature ranged from -45°C to 125°C .

Key words: Multi-protocols; variable data-width; 40bits; 5:1MUXs; 3-taps FFE; 10.312 5 Gbps

1 引言

发射机电路广泛应用于数据接口电路中. 在实际需求中, 外部电路数据处理速度慢但数据位宽多, 而核心电路接口有限, 留给数据的接口少; 时钟速率高. 两者之间存在不可直接串接的矛盾. 因此接口电

路在核心电路与外部电路之间, 对数据转换承担起桥梁作用. 完整的接口芯片包含发射机、接收机、锁相环等部分, 本文主要研究的是发射机电路.

近几年, 为了满足日益增长的用户数据流量需求, 收发机的处理数据速率越来越高, 在 2017 年的 ISSCC 会议上, 有论文提出 56 Gb/s PAM-4/NRZ

电路^[1].但在实际中,对于串行接口不仅仅是需要具有高速率,还要根据需求兼容支持多种协议,提供可变数据位宽,适应复杂工作环境等要求.本文中发射机工作数据速率范围是 1.25 Gbps~10.3125 Gbps,支持 4 种不同协议,7 种不同数据速率,9 种工作状态,工作温度范围-45℃~125℃.在信道前的差分输出信号眼图幅度大于 800 mV.

2 发射机电路

如图 1 所示,本文的发射机电路包含四个部分电路:NMDW,40:1MUX,3 抽头 FFE(3-TAPS FFE)及时钟分布电路.每部分电路结构上是独立的,通过时钟和数据联系起来.发射机的时钟由板上锁相环(Phase Locked Logic,PLL)提供,经时钟分布电路分频后送到各个模块中.发射机采用的是半速采样模式,最高采样时钟频率为 5.15625 GHz

(PLL 提供时钟为 10.312 5 GHz.).在 NMDW 解决数据位宽的归一化,实现不同在输入数据位宽下发射机都能正常工作.40:1MUXs 电路实现数据并转串功能.在输出级,FFE 对信号进行均衡驱动电路控制信号幅度.

本发射机支持多种高速串口协议,支持不同协议的数据速率如表 1 所示,支持不同协议并行输入数据位宽如表 2 所示.

表 1 不同协议频点需求

DataRate (Gb/s)	1.25	2.125	2.5	5	6.25	8.5	10.312 5
Protocols							
RapidIO	✓		✓	✓	✓		✓
10GBASE-KR							✓
1000BASE-X	✓						
FC-AE-ASM		✓				✓	

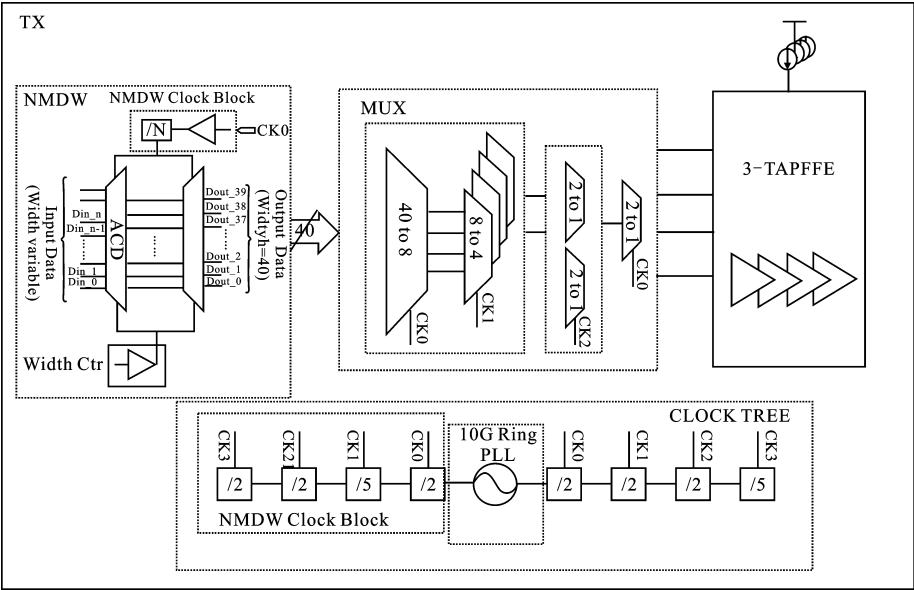


图 1 发射机电路整体结构

表 2 协议和接口的位宽关系

协议	工作速率/Gbps	接口位宽/bit
1000Base-X	1.25	10
RapidIO	1.25	20
RapidIO	2.5	20
RapidIO	3.125	20
RapidIO	5	20
RapidIO	6.25	20
RapidIO	10.312 5	40
FC	2.125	40
FC	4.25	40
FC	8.5	40
10Gbase-KR	10.3125	40

2.1 NMDW

本文的发射机应用在复杂工作条件、复杂工作环境:多协议、可变位宽、宽温度变化范围.最高数据速率达到10.312 5 Gbps,最低为 1.25 Gbps.针对不同输入数据位宽,本文提出先统一划归到 40 bits 的解决方案,然后再统一做下一步 MUX 处理.

如图 1 所示,数据位宽最高为 40 bits,其次为 20 bit,10 bit,最小公倍数为 40,因此先划归到 40 bits,再做处理可以减少系统选择情况,减小控制电路设计及系统复杂度.此模块的时钟由 PLL 分频后单独提供,与后级 MUX 电路不相同.

NMDW 电路由两级分路器(DEMUX)组成,当输入位宽为 10 bits 有效时,需要先经过 10 bits~20 bits,再经过 20 bits~40 bits 两级电路变换.当输入为 20 bits 有效时,只需 20 bits~40 bits 一级电路变换.若输入为 40 bits 有效时,不需要任何位宽变换处理.

数据从数字端达到发射机输入端时,在芯片内部需要经过 2 000~3 000 μm 的长金属线.金属线上的寄生效应会恶化高速情况下的数据时序、高低电平等情况.特别是在 10.312 5 Gbps 情况下,不同数据电平持续时间不足 100 ps,寄生会造成数据沿变缓,直接接入后级,会造成采样误差.因此在 NMDW 模块前,需要将数据在时钟与数据对齐模块(图 1. ACD 模块)中做一次对齐,避免不同数据位采样不准的问题,同时能够改善误码率问题.

2.2 40 to 1 MUXs

TX 输入数据经过 NMDW 后,得到归一化 40bits 低速信号,需要通过 MUX 为串行数据.该模块为多级 MUX 级联电路.典型结构是多级 2:1MUX 级联结构,因此所需要的级数为:

$$N=\log_2 40 \tag{1}$$

从式(1)中,可以得知 N 不为整数.因此 40 bit 无法全部使用 2:1MUX 实现.对于 40 分解因数,最终会得到 23×5 .因此整体结构需要 3 级 2:1MUX 和 1 级 5:1MUX 级联.本文所采用的结构是,通过分频电路得到 5 相不交叠时钟,采用此时钟用于 MUX 电路采样,如图 2 所示.具体来说:采用特定序列的 CK_N 采样 DM 序列, $N(0\sim4)$ 与 $M(0\sim4)$ 一一对应,且最终能够恢复.除此之外,需要选取 CK_i 作为数据对齐信号,保证数据与采用时钟保持稳定相位差.由于 CK_0 初始相位为 0,顺序确定简单,故采用 CK_0 .当对齐时钟确定后,数据与时钟都有稳定的相位差且相位差是相对于 CK_0 开始,也就是说 D_0 相对于 CK_0 没有相位差,因此 CK_0 与 D_0 对应; D_1 相对于 D_0 (CK_0) 有 1 个相位延时,故与 CK_1 对应.以此类推,可以得到整个序列的时序对应关系.图 2 右侧是 5:1MUX 电路原图,可以看出电路由 5 个并联传送门电路构成,由时序控制做数据选择.该部分电路功能由时序正确保证.

图 3 为数据与时钟序列不对应的采样情况,数据合路中出现误码.上图中,表示合路前的数据与采样时钟 CK_1 ,采样时钟此时能恰好采样到数据;但下图中,方框中圈出此时出现采样问题的时钟 CK_2 与数据关系,可以看出采样时钟处于数据边缘,此时将

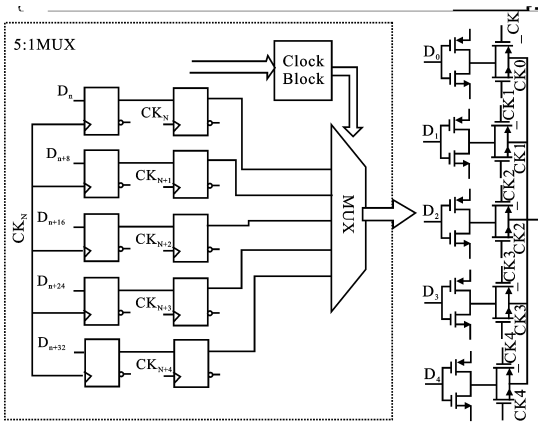


图 2 5:1 MUX 模块

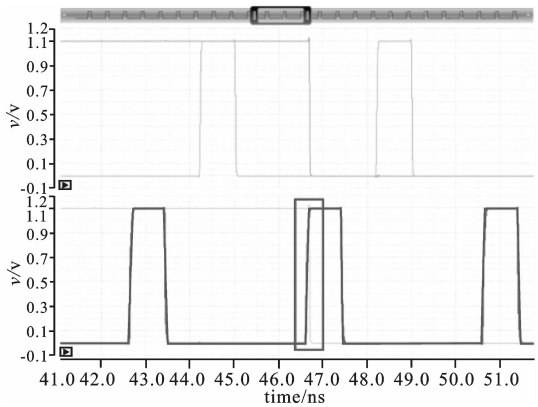


图 3 5:1MUX 误采样情况

不能保证采样所得的数据正确,随着 PVT 的变化,采样点没有足够时间裕度保证采样正确.

上文分析到 40:1MUX 由 4 级级联构成,而四级 MUX 存在不同级联顺序,关键问题是 5:1MUX 的级联位置.即存在:40:20:10:5:1、40:20:4:2:1、40:8:4:2:1 三种形式.从 MUX 原理可知,后级电路的数据速率要比前级快,因此对于时钟要求也就更高.若要产生 5 相不交叠时钟,则需要对时钟进行 5 分频,得到 $T/5$ 的有效电平.当数据速率为 10.312 5 Gbps 时,5:1 结构放在最末级,此时每个相位电平有效时间约为 0.969 7 ns,若放在第一级,则每个相位电平有效时间为 19.393 ns,相差 20 倍.为了保证对高速数据采样准确,将 5:1MUX 放于第一级能够有足够的采样裕度,从而保证数据准确.本文 40:1MUX 结构采取 40:8:4:2:1 的总体结构.

2.3 3-TAPS FFE

经封装后,金线、基板、封装和 PCB 都将引入寄生,不再是仅有外界电容的情况.如图 4 所示,本文发射机输出负载模型包含 PAD、Bondwire、

Substrate、Package、PCB wireline 五部分构成。从图中看出,负载模型已经不再是简单 RLC 串接模型。图 5 为 TX 外接负载模型的频率响应,信号的高频分量通过负载后将被衰减。为了使接收机能恢复信号,在 TX 输出级应根据负载模型对高频分量进行补偿。负载模型在 5 GHz 处,衰减 15.7 dB。如图 6 所示,负载后眼图高度为 147 mV,负载前眼图高度为 746 mV,与负载频率响应模式衰减 15.7 dB 一致。

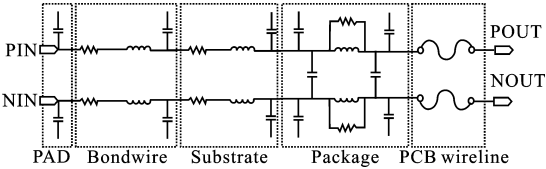


图 4 TX 外接负载模型

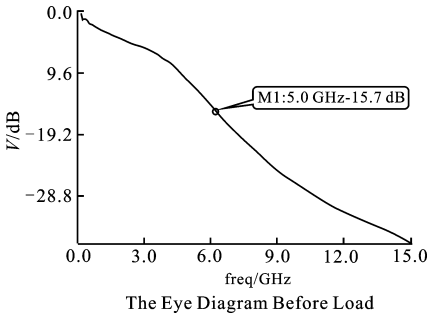


图 5 TX 外接负载模型的频率响应

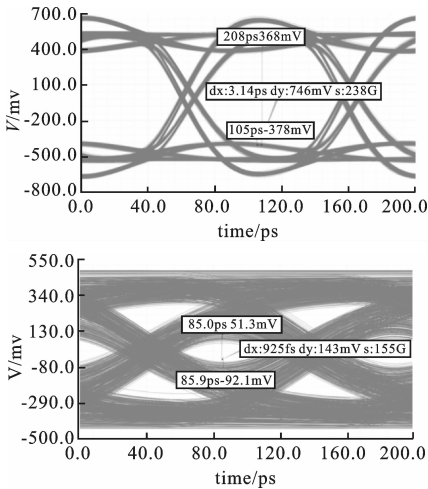


图 6 负载前与负载后的眼图对比

本文中 TX 使用 FFE 及驱动电路调节输出信号幅度,改善输出信号的眼图。本文 FFE 采用 3 抽头结构 (3Pre + 4Main + 4Post), 设计目标为提供 10 dB 均衡能力。假设 Pre, Main, Post 抽头的系数分别为 α , β , γ 。在本文中,电路模型下有:

$$\text{eff}_{\text{FFE}} = -20\log \frac{\text{Const}}{\text{Const} + \alpha + \beta + \gamma} = 10 \text{ dB}$$

(2)

式中,Const = 36,可以推知 α , β , γ 需要满足式(2)约束,加上均衡幅度恒定。可取 $\alpha = 32$, $\beta = 32$, $\gamma = 14$ 。

2.4 时钟分布电路

时钟分布电路由两个独立同源分频电路组成: NMDW 时钟分频电路与 40to1 MUX 时钟分频电路,这两部分时钟不可复用,主要是取决于 5 分频电路的所在位置不同。具体如下:

对于 NMDW 电路,数据位宽进行的是 10:20:40 变换顺序,对于 10 bit 有效情况,时钟是 1/10~1/20~1/40 的顺序;对于 20 bit 有效情况,时钟是 1/20~1/40。因此,1/5 电路在前级分频。对于 40to1 MUX 模块,是从 40 bit 合路到串行,时钟分频则是反过来,1/2~1/2~1/2~1/5,5 分频电路位于最末端。

- PLL 提供的 10.312 5 Gbps 时钟为 CML 逻辑,但分频器逻辑基于是 CMOS,需要有 CML 信号转变为 CMOS 的逻辑电路。
- 时钟采样点保持在数据的中间。
- 5:1MUX 中运用了 5 相不交叠时钟。

3 仿真结果

本文发射机使用 SMIC 40 nm CMOS 工艺设计,电源电压为 1.1 V。电路版图如图 7 所示,整体面积为 0.27 mm × 0.12 mm,各部分面积及布局如上图所示。发射机输出所接信道模型如图 4 所示,信道远端接 100 欧姆差分负载。电路后仿眼图如图 8 所示,左侧为 FFE 均衡工作情况的眼图,右侧为 FFE 均衡电路关闭。明显能看出眼图张开幅度提高。此时发射机数据速率为 10.312 5 Gbps。后仿中,负载接上 50 Ω 上拉电阻,同时接上充分考虑后的传输线模型。此外,后仿覆盖了前文提到的所有频点, -45℃ ~ 125℃,多个工艺角下的仿真,眼图大小最大幅度均超过 800 mV。且整体功耗小于 35 mW。数据如表 3。

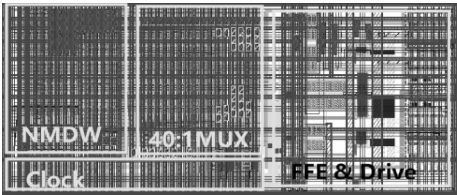


图 7 TX 整体版图及布局

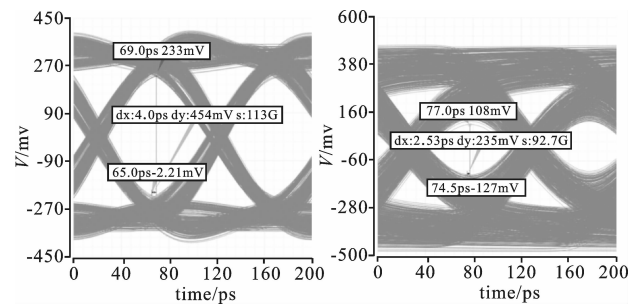


图 8 10.312 5 Gpbs 数据速率下,FFE 电路工作及不工作情况下后仿眼图

表 3 仿真结果及对比

	文献[2]	文献[3]	文献[4]	文献[5]	This Work ¹
Techno-logy	65nm bulk	45nm CMOS	40nm IL-CMOS	90nm CMOS	40nm CMOS
Speed /Gbps	20	7.4	12.5	20	10.312 5
Voltage	1.1		1.1	1.5	1.1
Power /mW	167	32	36	154	34.5
Efficiency (pJ/bit)	10.4	5.04	2.88		3.45
Driver	CML	CML	SST		CML
Bit	32	10			10 20 40
FFE Taps	4	5	3		3
Aer a/(sq. mm)		0.62	0.09	0.85	0.03
Temperature/℃					−45−125

1:仿真结果

4 结束语

本文深入研究高速发射机电路,通过对NMDW,40 to 1 MUX,3-TAPS FFE,时钟分布电路的设计、分析,得出整体的发射机结构.最终实现了支持多协议、可变位宽、宽温度范围的实用电路模型.

参考文献:

[1] PENG P J, LI J F, CHEN L Y, et al. A 56Gb/s PAM-4/NRZ transceiver in 40nm CMOS[C]//ISSCC 2017. San Francisco, CA, USA,2017:110-112.

[2] PHILPOTT R A, HUMBLE J S, KERTIS R A, et al. A 20Gb/s SerDes transmitter with adjustable source impedance and 4-tap feed-forward equalization in 65nm bulk CMOS[C]//CICC 2008. San Jose, CA, USA,2008:623-626.

[3] ZHANG B, KARAPET KHANOYAN, TONG H T, et al. A 28Gb/s multistandard serial link transceiver for backplane applications in 28nm CMOS[C]//JSSC 2015. [S. l],2015:3089-3100.

[4] BIMAN CHATTOPADHYAY, SHARATH N BHAT, GOPALKRISHNA NAYAK,et al. A 12.5Gbps transmitter for multi-standard serdes in 40 nm low leakage CMOS process[C]//VLSI 2018. Honolulu, HI, USA,2018.

[5] JRI LEE, KE-CHUNG WU. A 20-Gb/s Full-rate linear clock and data recovery circuit with automatic frequency acquisition[C] // JSSC 2009. [S. l], 2009: 3390-3602.

作者简介:

李 貌 男,(1992-),硕士研究生.研究方向为集成电路设计. E-mail:linao-pri@163.com.

贾 晨 男,(1986-),硕士,副高级研究员.研究方向集成电路测试.

栾文焕 女,(1994-),硕士研究生.研究方向为集成电路设计.

林 鑫 男,(1994-),硕士研究生.研究方向为集成电路设计.

王自强 男,(1975-),博士,副研究员.研究方向为模拟集成电路设计.

张 春 男,(1972-),博士,副研究员.研究方向为数模混合信号集成电路设计、嵌入式微处理器设计.

王志华 男,(1960-),博士,教授.研究方向为模拟集成电路设计.